

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-304205

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/76

識別記号

庁内整理番号

L 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 4(全 11 頁)

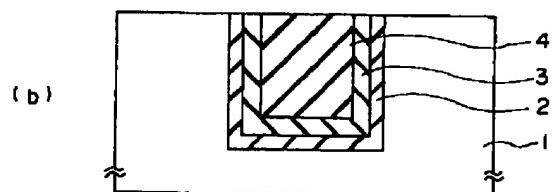
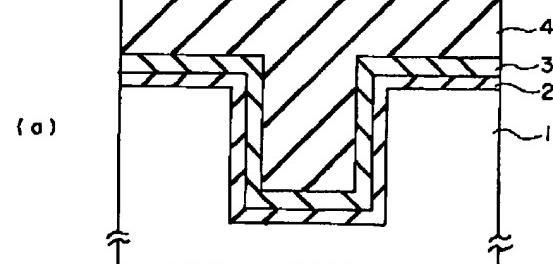
(21)出願番号	特願平4-107788	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成4年(1992)4月27日	(72)発明者	清利 正弘 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
		(72)発明者	綱島 祥隆 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】応力集中や絶縁特性の低下を招かない構造を有する埋込み素子分離を提供すること。

【構成】シリコン基板1に形成された溝と、この溝の内壁面を被覆するN/Si組成比が0.8の第1のシリコン窒化膜3と、この第1のシリコン窒化膜2上に形成され、前記溝を埋めるN/Si組成比が1.0以上の第2のシリコン窒化膜4とを有する。



1

## 【特許請求の範囲】

【請求項1】シリコン基板に形成された溝と、窒素及び酸素の少なくとも一方の元素と珪素とを主成分にして、前記溝の少なくとも底部に設けられた第1の絶縁膜と、窒素及び酸素の少なくとも一方の元素と珪素とを主成分にして、前記第1の絶縁膜が設けられた前記溝を埋める第2の絶縁膜とを有し、この第2の絶縁膜中に占めるシリコンの比率が前記第1の絶縁膜のそれより小さいことを特徴とする半導体装置。

【請求項2】シリコン基板に溝を形成する工程と、CVD法を用いて前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする第1の絶縁膜を堆積して、前記溝の底部を前記第1の絶縁膜で被覆する工程と、

CVD法を用いて前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分として、膜中に占めるシリコンの比率が前記第1の絶縁膜のそれより小さい第2の絶縁膜を堆積して、前記溝の内部を埋める工程と、

前記第1及び第2の絶縁膜をエッチングして、前記溝の内部に前記第1及び第2の絶縁膜を残置させる工程と、を有することを特徴とする半導体装置の製造方法。

【請求項3】シリコン基板に溝を形成する工程と、前記シリコン基板の全面に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする絶縁膜を堆積して前記溝を埋める工程と、

前記絶縁膜にイオン注入を行なった後、前記絶縁膜に熱処理を施す工程と、

前記絶縁膜をエッチングして前記溝の内部に前記絶縁膜を残置させる工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項4】開口幅に対する深さの比が所定値以上の溝をシリコン基板に形成する工程と、

CVD法を用いて前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする絶縁膜を、前記溝の底部におけるシリコンの比率がこの底部より上の部分におけるシリコンの比率より大きくなるように堆積して、前記溝を前記絶縁膜で埋める工程と、前記絶縁膜をエッチングして前記溝の内部に前記絶縁膜を残置させる工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は埋込み素子分離領域を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、コンピュータや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このた

2

め、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上は、集積度を高めることにより実現できる。集積度を高めるには素子分離領域の微細化が必要である。素子分離領域の形成方法としては従来よりLOCOS法が用いられているが、この方法による素子分離領域の微細化には限界が見えてきた。

【0004】そこで、微細な素子分離領域を形成するために、LOCOS法の改良を含めて数多くの方法が提案されいるが、これらの中でも溝埋み素子分離法と呼ばれる方法は、微細化に有利な方法として有望しされている。図11は、この方法により形成された素子分離領域を有する単結晶シリコン基板91の断面図である。これを形成工程に従い説明すると、まず、フォトリソグラフィ技術、異方性ドライエッティング等の技術を用いて素子分離領域となる部分の基板表面に溝を形成する。次いで熱酸化法を用いて溝の表面に応力緩衝用のシリコン酸化膜92を形成する。次いでCVD法を用いて溝の内部が埋まるように基板全面にシリコン酸化膜93を堆積する。最後に、異方性エッティングやウエットエッティングを用いて基板表面のシリコン酸化膜93をエッティング除去し、溝の内部のみにシリコン酸化膜93を残して素子分離領域が完成する。しかしながら、この種の溝埋み素子分離法には次のような問題があった。

【0005】即ち、シリコン酸化膜93の成膜応力が大きいため、シリコン酸化膜92を設けても単結晶シリコン基板91に欠陥が生じるという問題があった。特に溝底部の単結晶シリコン基板91に応力が集中しやすかつたので、基板欠陥は溝底部の単結晶シリコン基板91に多く発生した。このような基板欠陥は、素子特定の低下の原因となるので防止する必要がある。また、応力に起因する基板欠陥は、上記原因の他、シリコン酸化膜93の熱膨張係数と単結晶シリコン基板91の熱膨脹係数との差によっても生じる。

【0006】即ち、シリコン酸化膜93の熱膨張係数と単結晶シリコン基板91の熱膨脹係数との差が大きいため、素子分離領域形成後の熱工程の際に、単結晶シリコン基板91に大きな応力が働き、基板欠陥が生じる。

【0007】このような熱膨張係数の違いによる応力発生は、熱膨張係数が単結晶シリコン基板91のそれに近い絶縁膜、例えば、シリコン塗化膜を用いれば防止できる。しかしながら、シリコン塗化膜はSi/N組成比が小さいほど成膜応力が大きくなるという特性を持っている。図12は、このことを表しているSi/N組成比と成膜応力との関係を示す特性図である。この図からシリコン塗化膜として一般的であるSi/N組成比が3/4のシリコン塗化膜(Si<sub>3</sub>N<sub>4</sub>膜)を用いた場合には、非常に大きい成膜応力(引っ張り応力)が生じることが分かる。

50

【0008】したがって、シリコン塗化膜としてSi<sub>3</sub>N<sub>4</sub>膜を用いた場合、熱膨張係数の違いによる応力による基板欠陥は防止できるが、成膜時の応力による基板欠陥は防止できないという問題を残している。

【0009】このような問題は、図12から分かるように、Si/N組成比をある程度大きくすれば解決ができるが、シリコン塗化膜はSi/N組成比が大きいほど絶縁特性が低下するという特性を持っているため、素子分離に必要な絶縁分離能力が確保できなくなるという新たな問題が生じる。図13は、このことを表しているN/Si組成比(0.6, 1.0)と電流密度との関係を示す特性図である。即ち、シリコン塗化膜が2つの電極で挟持された構成のキャパシタに電圧を印加し、シリコン塗化膜のN/Si組成比の違いによる電極の電流密度を調べて得られた特性図である。この図からN/Si組成比が小さい方が電流密度が大きくなり絶縁特性が低下していることが分かる。また、シリコン塗化膜は、シリコン酸化膜に比べて、単結晶シリコン基板91とのエッチング選択性が小さく、溝埋込み用の絶縁膜としては望ましくない性質を持っている。

#### 【0010】

【発明が解決しようとする課題】上述の如く、従来の溝埋み素子分離法では、溝埋込み用の絶縁膜としてシリコン酸化膜を用いていたので、溝の内部にシリコン酸化膜を埋込む工程及び熱処理を含む工程の際に、シリコン基板に応力が働き基板欠陥が生じるという問題があった。また、シリコン酸化膜の代わりにシリコン塗化膜を用いた場合には、応力に起因する基板欠陥の発生は防止できるが、絶縁分離能力が低下するという新たな問題が生じた。

【0011】本発明は、上記事情を考慮してなされたもので、その目的とするところは、素子分離能力の低下及び応力による基板欠陥の発生を防止できる構造の素子分離領域を有する半導体装置を提供することにある。

#### 【0012】

【課題を解決するための手段】本発明の骨子は、成膜応力が小さい第1の絶縁膜と絶縁性が高い第2の絶縁膜とからなる2重構造の絶縁膜で素子分離領域となる溝を埋めたことにある。

【0013】即ち、上記の目的を達成するために、本発明の半導体装置は、シリコン基板に形成された溝と、窒素及び酸素の少なくとも一方の元素と珪素とを主成分にして、前記溝の少なくとも底部に設けられた第1の絶縁膜と、窒素及び酸素の少なくとも一方の元素と珪素とを主成分にして、前記第1の絶縁膜が設けられた前記溝を埋める第2の絶縁膜とを有し、この第2の絶縁膜中に占めるシリコンの比率が前記第1の絶縁膜のそれより小さいことを特徴とする。

【0014】また、本発明の半導体装置の製造方法は、シリコン基板に溝を形成する工程と、CVD法を用いて

前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする第1の絶縁膜を堆積して、前記溝の底部を前記第1の絶縁膜で被覆する工程と、CVD法を用いて前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とし、膜中に占めるシリコンの比率が前記第1の絶縁膜のそれより小さい第2の絶縁膜を堆積して、前記溝の内部を埋める工程と、前記第1及び第2の絶縁膜をエッティングして、前記溝の内部に前記第1及び第2の絶縁膜を残置させる工程とを有することを特徴とする。

【0015】また、本発明の他の半導体装置の製造方法は、シリコン基板に溝を形成する工程と、前記シリコン基板の全面に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする絶縁膜を堆積して前記溝を埋める工程と、前記絶縁膜にイオン注入を行なった後、前記絶縁膜に熱処理を施す工程と、前記絶縁膜をエッティングして前記溝の内部に前記絶縁膜を残置させる工程とを有することを特徴とする。また、本発明の他の半導体装置の製造方法は、開口幅に対する深さの比が所定値以上の溝をシリコン基板に形成する工程と、CVD法を用いて前記シリコン基板上に、窒素及び酸素の少なくとも一方の元素と珪素とを主成分とする絶縁膜を、前記溝の底部におけるシリコンの比率が、この底部より上の部分におけるシリコンの比率より大きくなるように堆積し、前記溝を前記絶縁膜で埋める工程と、前記絶縁膜をエッティングし、前記溝の内部のみに前記絶縁膜を残置させる工程とを有することを特徴とする。

#### 【0016】

【作用】本発明の半導体装置では、少なくとも溝の底部がシリコンの比率が大きい第1の絶縁膜で埋められることになる。シリコンの比率が大きいと応力が小さくなるため、溝の底部で生じやすい応力集中を緩和でき、基板欠陥による素子特性の低下を防止できる。また、シリコンの比率が大きいと絶縁特性が低下するが、本発明の場合、第1の絶縁膜で埋められなかった溝の内部は、シリコンの比率が小さい、つまり、絶縁特性が良好な第2の絶縁膜で埋められている。このため、絶縁膜全体としては十分な絶縁特性を有する溝埋込み用絶縁膜として機能する。したがって、素子分離能力の低下及び基板欠陥の発生を防止できる構造の素子分離領域が得られる。

【0017】また、本発明の半導体装置の製造方法では、CVD法を用いて第1、第2の絶縁膜の成膜を行なっているので、窒素原料ガスの流量又は酸素原料ガスの流量を調整することでシリコンの比率を制御できる。このため、容易に、溝の内壁面を応力の小さい第1の絶縁膜で被覆でき、この第1の絶縁膜で埋められなかった溝の内部を絶縁性の高い第2の絶縁膜で埋めることができる。したがって、素子分離能力の低下や基板欠陥を招くこと無く、溝を絶縁膜で埋めることができる。

【0018】また、本発明の他の半導体装置の製造方法

5

では、シリコン基板の全面に絶縁膜を堆積して前記溝を埋めた後、前記絶縁膜にイオン注入を行なっている。イオン注入されたシリコン塗化膜等の絶縁膜に熱処理を行なうと絶縁特性が改善されることが知られている。このため、例えば、シリコンの比率が大きい、つまり、応力の小さいシリコン塗化膜で溝を埋め、溝内部のシリコン塗化膜にイオンが届く条件でイオン注入を行なえば、溝上部のシリコン塗化膜だけを高絶縁化できる。したがって、素子分離能力の低下や基板欠陥を招くこと無く、溝をシリコン塗化膜等の絶縁膜で埋めることができる。

【0019】また、本発明の他の半導体装置の製造方法では、開口幅に対する深さの比（深さ／開口幅）が所定値以上の溝をシリコン基板に形成している。このため、例えば、この比を2以上にすれば、溝下部には窒素原料ガスや酸素原料ガスの原料ガスが届き難くなり、溝上部に供給される上記原料ガスの量を多くできる。したがって、溝下部にはシリコンの比率が大きい低応力の絶縁膜を形成でき、溝上部にはシリコンの比率が小さい高絶縁性の絶縁膜を形成できるので、素子分離能力の低下や基板欠陥を招くこと無く、溝をシリコン塗化膜で埋めることができる。

#### 【0020】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係わる素子分離領域の形成方法を示す工程断面図である。

【0021】まず、図1(a)に示すように、主面が(100)、比抵抗が4.5~6Ωcm程度のp型の単結晶シリコン基板1を用意し、この単結晶シリコン基板1の素子分離領域となる表面部分に開口幅が0.3μmの溝をフォトリソグラフィなどをを利用して形成する。次いでこの単結晶シリコン基板1を900℃、塩酸10%を含む酸素雰囲気中で熱酸化して、基板全面に厚さ25nmのシリコン酸化膜2を形成する。このシリコン酸化膜2は、基板表面の界面準位を下げたり、基板中の汚染物混入を防止したりするために設けられるものであり、1nm以上の膜厚で形成するのが好ましい。また、膜応力の点から50nm以下の膜厚が好ましい。次いで単結晶シリコン基板1をLPCVD装置に収容した後、成膜温度780℃、成膜圧力0.3Torr、ジクロルシラン流量200cc/分、アンモニア流量15cc/分の条件で、N/Si組成比0.8で、膜厚50nmの第1のシリコン塗化膜3をシリコン酸化膜2上に堆積する。次いでアンモニアの流量を連続的に200cc/分まで増加させ、つまり、ジクロルシラン及びアンモニアの流量を伴に200cc/分にして、N/Si組成比が1.0以上、膜厚が300nmの第2のシリコン塗化膜4を第1のシリコン塗化膜3上に堆積して溝を埋める。

【0022】次に図1(b)に示すように、溝から溢れたシリコン基板1上の第1、第2のシリコン塗化膜3、4を機械研磨を用いて除去して、溝の内部のみに第1、

6

第2のシリコン塗化膜3、4を残す。最後に、沸騰アンモニウム溶液を用いて基板表面上のシリコン酸化膜2を除去し、素子分離領域が完成する。

【0023】本実施例では、溝の内壁面がN/Si組成比(0.8)が小さいシリコン塗化膜3で被覆されている。N/Si組成比が小さいシリコン塗化膜は、図12の説明から分かるように、成膜応力が小さいのでシリコン塗化膜3の成膜応力によってシリコン基板1に欠陥が発生し素子特性が低下するという問題は生じない。また、シリコン塗化膜3で埋められなかった溝の内部は、N/Si組成比(1.0以上)が大きいシリコン塗化膜4で完全に埋められている。N/Si組成比が大きいシリコン塗化膜は、図13の説明から分かるように、絶縁特性が良いのでシリコン塗化膜3の絶縁能力の不足がシリコン塗化膜4で補なわれる結果、シリコン塗化膜全体の絶縁特性は良好なものになる。また、絶縁特性は溝を深く形成することでも改善できる。即ち、リーク電流は溝の上下を往復する経路で流れるので、溝が深ければシリコン塗化膜2の絶縁特性が多少低くても実用上は問題ない。また、シリコン基板1に働くシリコン塗化膜4の応力はシリコン塗化膜3により低減される。

【0024】かくして本実施例によれば、N/Si組成比が小さいシリコン塗化膜3とN/Si組成比が大きいシリコン塗化膜4との2重構造のシリコン塗化膜で溝を埋めることで、十分な絶縁能力を確保できると共に、応力集中に起因する素子特性の低下を防止でき、今後のUHSIの微細化に十分対応できる素子分離領域が得られる。図2、図3は、本発明の第2の実施例に係わる素子分離領域及びゲート電極の形成方法を示す工程断面図である。

【0025】まず、図2(a)に示すように、主面が(100)で、比抵抗が4.5~6Ωcm程度のp型の単結晶シリコン基板1を800℃、塩酸10%を含む酸素雰囲気中で熱酸化して基板全面に厚さ16nmのシリコン酸化膜12を形成する。次いでLPCVD装置を用いて厚さ200nmの多結晶シリコン膜13をシリコン酸化膜12上に堆積した後、この多結晶シリコン膜13上に厚さ100nmのポジ型のフォトレジスト14を塗布する。

【0026】次に図2(b)に示すように、フォトリソグラフィ等を利用して素子分離領域のフォトレジスト14を除去する。次いで残ったフォトレジストをマスクに用いて、異方性ドライエッティングにより、多結晶シリコン膜13、シリコン酸化膜12、単結晶シリコン基板1を順次エッティングして、シリコン基板1に溝を形成する。

【0027】次に図2(c)に示すように、強酸などを用いてフォトレジスト14を除去した後、950℃の窒素雰囲気中でアーナーを行ない、続いて900℃、塩酸10%を含む酸素雰囲気中で厚さ35nmのシリコン酸

化膜15を基板表面及び溝の内壁面に形成する。次いでLPCVD装置を用い、N/Si比が0.8程度で厚さが1000nmのシリコン塗化膜16を全面に堆積して溝を埋める。

【0028】次に図3(a)に示すように、加速電圧150kV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ の条件で酸素イオンをシリコン塗化膜16に注入した後、酸素雰囲気中でのアニール処理を行なう。アニール温度は、例えば、950°Cが良い。イオン注入したシリコン塗化膜16にアニール処理を施すと原子組成が変化して絶縁特性が改善されるので、シリコン塗化膜16の上部は絶縁特性に優れたシリコン酸化塗化膜17に変わる。図4は、そのことを表す図で、イオン注入量と電流(リーク電流)との関係を示す特性図である。即ち、イオン注入後にアニール処理(950°C)が施されたシリコン塗化膜が、2つの電極で挟持された構成のキャパシタに電圧を印加し、シリコン塗化膜中の酸素イオン量の違いによる電極に流れる電流(リーク電流)を調べて得られた特性図である。図中、曲線aはドーズ量が0/cm<sup>2</sup>(イオン注入なし)、曲線bはドーズ量が $5 \times 10^{18} / \text{cm}^2$ 、曲線cはドーズ量が $1 \times 10^{19} / \text{cm}^2$ の場合の特性曲線である。この図から酸素イオンを注入することにより、リーク電流が減少し絶縁特性を改善できることが分かる。

【0029】次に図3(b)に示すように、多結晶シリコン膜13をストップに用いてシリコン塗化塗化膜17を機械研磨することにより、素子領域上のシリコン酸化塗化膜17、シリコン酸化膜15を除去し、溝の内部だけにシリコン酸化塗化膜17を残す。最後に、LPCVD装置を用いて厚さ200nmの多結晶シリコン膜18を全面に堆積した後、多結晶シリコン膜13、18をバーニングして素子分離領域19とゲート電極20とが完成する。

【0030】以上述べた方法によれば、溝の下部はN/Si比(0.8程度)が小さいシリコン塗化膜16で埋められているので、溝底部での応力集中を緩和でき、基板欠陥による素子特性の低下を防止できる。また、溝の上部は絶縁性の高いシリコン酸化塗化膜17で埋められているので、溝埋込み用絶縁膜の全体としての絶縁特性は良好なものになる。更に、本実施例によれば、シリコン酸化塗化膜17の表面がシリコン酸化膜12の表面より高く形成されているので、シリコン酸化塗化膜17の表面とシリコン酸化膜12の表面とが同じ高さの場合に比べて、シリコン酸化膜12の角部での電界集中が小さくなるという利点がある。図5は、本発明の第3の実施例に係わる素子分離領域の形成方法を示す工程断面図である。

【0031】まず、図5(a)に示すように、主面が(100)で、比抵抗が4.5~6Ωcm程度のP型の单結晶シリコン基板21を用意し、この单結晶シリコン

基板21を950°C、塩酸10%を含む酸素雰囲気中で熱酸化して基板全面に厚さ25nmのシリコン酸化膜22を形成する。次いでLPCVD装置を用いてシリコン酸化膜22上に厚さ200nmのシリコン酸化膜23を堆積した後、このシリコン酸化膜23上に厚さ1000nmのポジ型のフォトレジスト24を塗布し、続いてフォトリソグラフィを用いてフォトレジスト24をバーニングし、素子分離領域のフォトレジスト24を除去する。

【0032】次に図5(b)に示すように、残ったフォトレジスト24をマスクに用いた異方性ドライエッティングにより、シリコン酸化膜23、22、单結晶シリコン基板21を順次エッティングして基板表面に溝を形成する。次いで強酸などを用いてフォトレジスト24を除去した後、弗化アンモニウム溶液を用いてシリコン酸化膜22、23を除去する。次いで单結晶シリコン基板21を900°C、塩酸10%を含む酸素雰囲気中で熱酸化して基板表面及び溝の内壁面に厚さ35nmのシリコン酸化膜25を形成した後、LPCVD装置を用いてN/Si比が0.8程度で、厚さが100nmのシリコン塗化膜26を全面に堆積して溝を埋める。

【0033】次に図5(c)に示すように、厚さ400nmのポジ型のフォトレジスト27を塗布した後、フォトリソグラフィを用いてフォトレジスト27をバーニングし、溝の上部のみにフォトレジスト27を残す。このとき、フォトレジスト27の上面とシリコン塗化膜26の上面とは略同一平面にある。次いで加速電圧100kV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ の条件で弗素イオンをシリコン塗化膜26にイオン注入する。このイオン注入の結果、基板表面上の弗素イオンが注入されたシリコン塗化膜26aのエッチングレートは、弗素イオンが注入されなかった溝内部のシリコン塗化膜26のそれよりも高くなる。

【0034】次に図5(c)に示すように、エッチングレートの低いシリコン塗化膜26をエッチングストップに用いて、フォトレジスト27及びエッチングレートの高いシリコン塗化膜26aを除去する。最後に、溝上部のシリコン酸化膜26に、例えば、酸素イオンを注入した後にアニール処理を行ない、溝上部に絶縁性の高いシリコン酸化塗化膜28を形成して素子分離領域が完成する。以上述べた方法によれば、シリコン塗化膜26自身がエッチングストップとして働くので、余計なエッチングストップを形成し、除去する手間が省ける。

【0035】また、溝の底部はN/Siが小さい(0.8程度)シリコン塗化膜26で埋められているので、成膜時の応力によってシリコン基板21に欠陥が生じて素子特性が低下するという問題は生じない。また、溝上部は絶縁性の高いシリコン酸化塗化膜28で埋められているので、十分な素子分離特性が得られる。図6は、本発明の第4の実施例に係わる素子分離領域の形成方法を示す工程断面図である。

す工程断面図である。

【0036】まず、図6(a)に示すように、主面が(100)で、比抵抗が4.5~6Ωcm程度のp型の単結晶シリコン基板31を用意し、この単結晶シリコン基板31を950℃、塩酸10%を含む酸素雰囲気中で熱酸化して基板全面に厚さ25nmのシリコン酸化膜32を形成する。次いでLPCVD装置を用いてシリコン酸化膜32上に厚さ200nmのシリコン酸化膜33を堆積した後、このシリコン酸化膜33上に厚さ1000nmのポジ型のフォトレジスト34を塗布し、続いてフォトリソグラフィを用いてフォトレジスト34をバーニングし、素子分離領域のフォトレジスト34を除去する。

【0037】次に図6(b)に示すように、残ったフォトレジスト34をマスクに用いた異方性ドライエッティングにより、シリコン酸化膜33、32、単結晶シリコン基板31を順次エッチングして基板表面に開口幅0.3μm、深さ0.8μmの溝を形成すると共に、後工程の溝埋込み用絶縁膜の形成工程のときにこの溝埋込み用絶縁膜中に巣が生じないように、基板表面に垂直な方向に對して5°の傾斜を溝の側壁につける。次いで希薄弗化アンモニウム溶液中でシリコン酸化膜33及びシリコン酸化膜22を20nm後退させる。これは溝埋込み用絶縁膜により溝の開口部の角が覆われるようとするためである。これにより素子分離領域が完成した後の熱工程の際に、溝の側壁が酸化されることで生じる応力集中を防止できる。次いで強酸などを用いてフォトレジスト34を除去した後、単結晶シリコン基板31を900℃、塩酸10%を含む酸素雰囲気中で熱酸化してシリコンが露出した基板表面及び溝の内壁面に厚さ15nmのシリコン酸化膜35を形成する。次いでLPCVD装置を用い、成膜温度が780℃、成膜圧力が0.3Torr、原料ガスのジクロルシランの流量が200cc/分、アンモニアの流量が20cc/分という条件で、つまり、成膜反応が窒素についての供給律速になる条件で全面に厚さ600nmのシリコン窒化膜36を堆積する。このとき、基板表面から深さ0.5μm程度より上の領域には、N/Si組成比が0.8の絶縁性の高いシリコン窒化膜36aが形成される。一方、それ以下の領域には、溝の形状が原因して、つまり、溝のアスペクト比(深さ/幅)が2.0以上なので十分なアンモニアが供給されず、N/Si組成比が0.5程度の低応力のシリコン窒化膜36bが形成される。

【0038】最後に、図6(c)に示すように、シリコン酸化膜33をストップに用いてシリコン窒化膜36aを機械研磨した後、弗化アンモニウム溶液を用いてシリコン酸化膜33及びこれによって覆われる部分のシリコン酸化膜32を除去して素子分離領域が完成する。

【0039】以上述べた方法によれば、溝下部のシリコン窒化膜36bの成膜応力が小さいので、本来応力集中

を惹起しやすい溝底部での応力集中を緩和でき、基板欠陥による素子特性の低下を防止できる。また、溝上部には絶縁性の高いシリコン窒化膜36aが形成されているので、十分な分離特性が得られる。

【0040】図7は、本発明の第5の実施例に係わる素子分離領域の構造を示す断面図である。本実施例が第4の実施例と異なる点は、一酸化二窒素を追加した原料ガスを用いてシリコン窒化膜を形成したことにある。即ち、本実施例では、一酸化二窒素の量でシリコン窒化膜の成膜応力及び絶縁特性を制御している。

【0041】まず、図7(a)に示すように、第4の実施例と同様な方法を用いて、単結晶シリコン基板41上にシリコン酸化膜42、43を形成した後、開口幅が0.3μm、深さが1.5μmで、基板表面に垂直な方向に對して5°の傾斜の側壁を有する溝を形成する。

【0042】次に図7(b)に示すように、希薄弗化アンモニウム溶液を用いてシリコン酸化膜43及びその下のシリコン酸化膜42を20nmほど後退させる。次いで単結晶シリコン基板41を900℃、塩酸10%を含む酸素雰囲気中で熱酸化しすることでシリコンが露出した基板表面及び溝の内壁面に厚さ15nmのシリコン酸化膜44を形成する。この後、LPCVD装置を用い、成膜温度が780℃、成膜圧力が0.3Torr、原料ガスのジクロルシランの流量が200cc/分、アンモニアの流量が20cc/分、一酸化二窒素の流量が5cc/分という条件で、全面に厚さ600nmのシリコン酸化窒化膜45を堆積して溝を埋める。このとき、基板表面から深さ0.5μm程度より上の領域には、絶縁特性に優れたシリコン酸化窒化膜45aが形成され、一方、それ以下の領域では、一酸化二窒素が溝の上部で消費されるため、十分な一酸化二窒素が供給されず、N/Si組成比が0.5程度で、酸素含有量の少ない低応力のシリコン酸化窒化膜45bが形成される。

【0043】最後に、図7(c)に示すように、シリコン酸化膜43をストップに用いてシリコン窒化膜45を機械研磨した後、弗化アンモニウム溶液を用いてシリコン酸化膜43及びこれによって覆われる部分のシリコン酸化膜42を除去して素子分離領域が完成する。

【0044】以上述べた方法でも先の実施例と同様に、溝下部のシリコン酸化窒化膜45bの成膜応力が小さいので、溝底部での応力集中を緩和することができ、基板欠陥による素子特性の低下を防止できる。また、溝上部には絶縁性特性の良いシリコン酸化窒化膜45aが形成されているので、十分な分離特性が得られる。図8、図9は、本発明の第6の実施例に係わる素子分離領域の形成方法を示す工程断面図である。

【0045】まず、図8(a)に示すように、主面が(100)、比抵抗が4.5~6Ωcm程度のp型の単結晶シリコン基板51を、950℃、塩酸10%を含む酸素雰囲気中で熱酸化して基板全面に厚さ25nmのシ

11

リコン酸化膜52を形成する。次いでLPCVD装置を用いてシリコン酸化膜52上に厚さ100nmのシリコン塗化膜53、厚さ50nmのシリコン酸化膜54を順次堆積した後、このシリコン酸化膜54上に厚さ100nmのポジ型のフォトレジスト55を塗布し、続いて、フォトリソグラフィ技術等を用いて素子分離領域のフォトレジスト55を除去する。この後、残ったフォトレジスト55をマスクに用いて、異方性ドライエッティングによりシリコン酸化膜54、シリコン塗化膜53を順次エッティングする。

【0046】次に強酸を用いてフォトレジスト55を除去し、続いて弗化アンモニウム溶液を用いてシリコン酸化膜54及び溝底部のシリコン酸化膜52を除去する。次いで図8(b)に示すように、例えば、LPCVD装置を用いて厚さ150nmのシリコン酸化膜56を全面に堆積し、続いて異方性ドライエッティングを用いてシリコン酸化膜56をエッティングし、シリコン塗化膜53に形成された溝にシリコン酸化膜56を埋込み基板表面を平坦化する。

【0047】次に図8(c)に示すように、異方性ドライエッティングを用いてシリコン酸化膜56及びシリコン塗化膜53をマスクとしてシリコン基板51をエッティングし、基板表面に開口部が0.3μm、深さが1.0μmで、基板表面に垂直な方向に対して5°の傾斜の側壁を有する溝を形成する。

【0048】次に図9(a)に示すように、弗化アンモニウム溶液を用いてシリコン酸化膜56を除去した後、単結晶シリコン基板51を900°C、塩酸10%を酸素雰囲気中で熱酸化してシリコンが露出した基板表面及び溝の内壁面に厚さ15nmのシリコン酸化膜57を形成する。次いでLPCVD装置を用い、成膜温度が680°C、成膜圧力が0.6Torr、20%モノシラン80%ヘリウムからなるガスの流量が500cc/min、一酸化二窒素の流量が20cc/minという条件で、厚さ600nmのシリコン酸化膜58を全面に堆積する。このとき、基板表面から深さ0.6μmより上の領域には、O/Si組成比が約2.0の絶縁性に優れたシリコン酸化膜58aが形成され、一方、それ以下の領域には、O/Si組成比が約1.0の低成膜応力のシリコン酸化膜58bが形成される。

【0049】最後に、図9(b)に示すように、シリコン塗化膜53をストップ用いてシリコン酸化膜58を機械研磨した後、熱焼酸水溶液を用いてシリコン塗化膜53を除去し、続いて弗化アンモニウム溶液などを用いてシリコン塗化膜53の下のシリコン酸化膜52を除去することで、素子分離領域のみにシリコン酸化膜58を残存でき、素子分離領域が完成する。

【0050】以上述べた方法によれば、溝の下部は成膜応力が小さいシリコン酸化膜58bで埋められているので、溝の底部の応力集中を緩和でき、基板欠陥による素

12

子特性の低下を防止できる。また、溝の上部は絶縁性が高いシリコン酸化膜58aで埋められているので、十分な素子分離特性が得られる。図10は、本発明の第7の実施例に係わる素子分離領域の形成方法を示す工程断面図である。

【0051】まず、図10(a)に示すように、正面が(100)、比抵抗が4.5~6Ωcm程度のp型の単結晶シリコン基板61を用意し、この単結晶シリコン基板61の素子分離領域となる部分の基板表面に開口幅

10 0.3μmの溝を形成する。次いでこの単結晶シリコン基板61を900°C、塩酸10%を含む酸素雰囲気中で熱酸化して基板全面に厚さ25nmのシリコン酸化膜62を形成する。次いでLPCVD装置を用い、成膜圧力が0.3Torr、ジクロロシランの流量が200cc/min、アンモニアの流量が10cc/minという条件で厚さ50nmのシリコン塗化膜63をシリコン酸化膜62上に堆積し、続いてジクロロシラン及びアンモニアの流量を維持しながら、流量を0cc/minから5cc/minまで連続的に増加させながら酸素を加え、全面に厚さ50nmのシリコン酸化塗化膜64を堆積する。

【0052】次に図10(b)に示すように、シリコン塗化膜63をストップ用いてシリコン酸化塗化膜64に機械研磨をかけて基板表面を平坦化する。最後に、素子形成領域のシリコン塗化膜63を除去した後、弗化アンモニウム溶液などを用いて基板表面のシリコン酸化膜62を除去して素子分離領域が完成する。

【0053】以上述べた方法によれば、溝の内壁面が成膜応力の小さいシリコン塗化膜63で埋められているので、このシリコン塗化膜63の成膜の際にシリコン基板61に欠陥が発生し、素子特性が低下するという問題は生じない。また、シリコン塗化膜63で埋められなかつた溝の内部は、絶縁性が高いシリコン酸化塗化膜64で埋められているので、これらの絶縁膜は全体として十分な絶縁特性を有する溝埋込み用絶縁膜として機能する。また、シリコン基板61の熱膨脹率とシリコン酸化塗化膜64のそれが異なることで生じる応力がシリコン基板61に与える影響は、シリコン塗化膜63より低減される。

【0054】かくして本実施例によれば、応力が小さいシリコン塗化膜63と絶縁性が高いシリコン酸化塗化膜64との2重構造の溝埋込み用絶縁膜を用いることで、十分な絶縁特性を確保できると共に、応力集中に起因する素子特性の低下を防止できる。

【0055】なお、本発明は上述した実施例に限定されるものではない。例えば、第2、第5、第7の実施例では、酸素ガスを用いて原料ガスである溝埋込み用絶縁膜の特性を制御したが他のガスを用いても良い。例えば、水素イオンのイオン注入によってエッティングレートを大きくしても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

## 【0056】

【発明の効果】以上詳述したように本発明によれば、成膜応力が小さい第1の絶縁膜と絶縁性が高い第2の絶縁膜とからなる2重構造の絶縁膜で溝を埋めることで、素子分離能力の低下及び応力による基板欠陥の発生を防止でき、今後のU I S I の微細化に十分対応できる素子分離領域が得られる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる素子分離領域の形成方法を示す工程断面図

【図2】本発明の第2の実施例に係わる素子分離領域及びゲート電極の形成方法を示す前半の工程断面図

【図3】本発明の第2の実施例に係わる素子分離領域及びゲート電極の形成方法を示す後半の工程断面図

【図4】イオン注入量と電流との関係を示す特性図

【図5】本発明の第3の実施例に係わる素子分離領域の形成方法を示す工程断面図

【図6】本発明の第4の実施例に係わる素子分離領域の形成方法を示す工程断面図

【図7】本発明の第5の実施例に係わる素子分離領域の構造を示す断面図

【図8】本発明の第6の実施例に係わる素子分離領域の

## 10 形成方法を示す前半の工程断面図

【図9】本発明の第6の実施例に係わる素子分離領域の形成方法を示す後半の工程断面図

【図10】本発明の第7の実施例に係わる素子分離領域の形成方法を示す工程断面図

【図11】従来の素子分離領域の形成方法を説明するための図

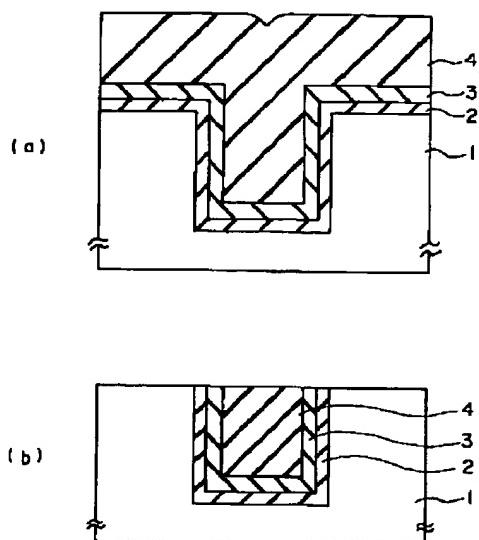
【図12】 $S_i/N$ 組成比と成膜応力との関係を示す特性図

10 【図13】 $N/S_i$ 組成比と電流密度との関係を示す特性図

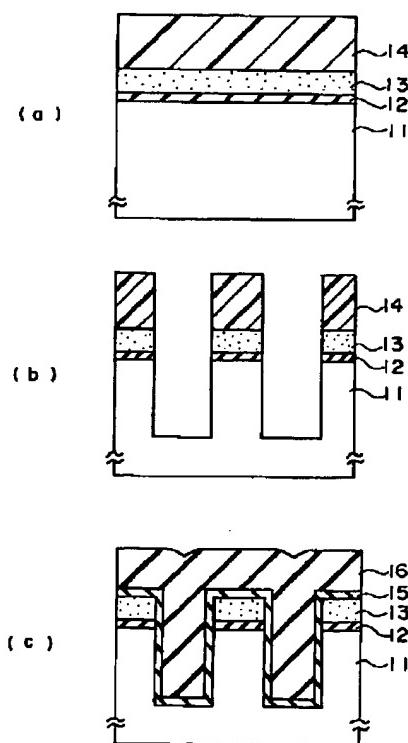
## 【符号の説明】

1, 11, 21, 31, 41, 51, 61…シリコン基板、2…12, 15, 22, 23, 25, 32, 33, 35, 42, 43, 44, 52, 54, 57, 58, 58a, 58b, 62…シリコン酸化膜、3, 4, 16, 26, 26a, 36, 36a, 36b, 53, 63…シリコン窒化膜、13, 18, …多結晶シリコン膜、14, 24, 27, 34, 55…フォトレジスト、17, 45, 45a, 45b, 64…シリコン酸化窒化膜、19…素子分離領域、20…ゲート電極。

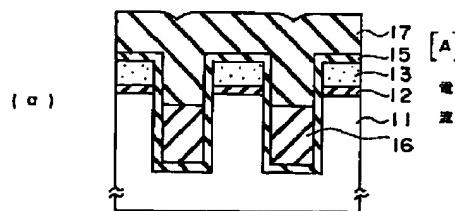
【図1】



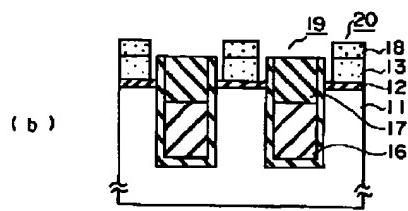
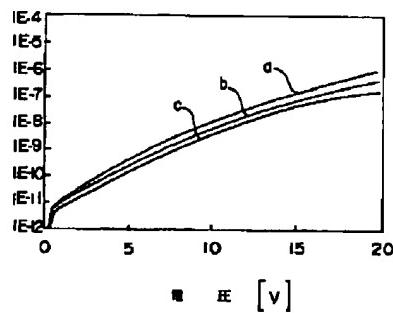
【図2】



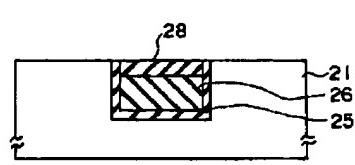
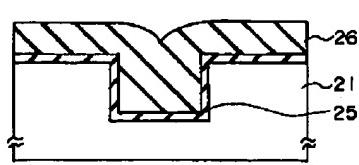
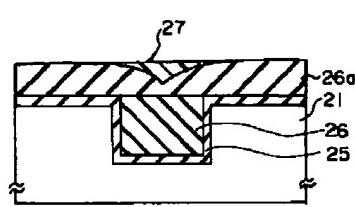
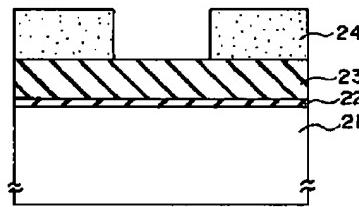
【図3】



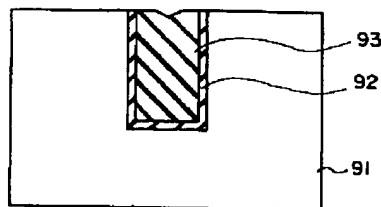
【図4】



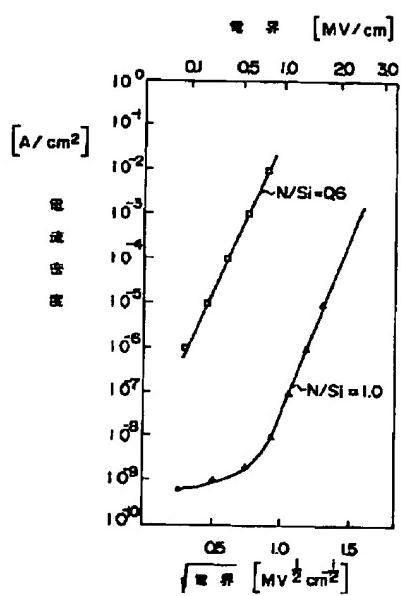
【図5】



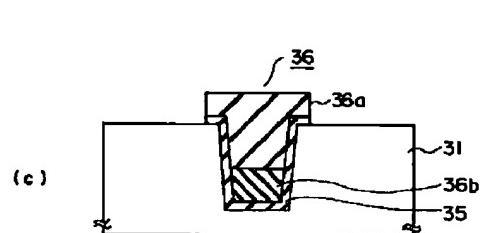
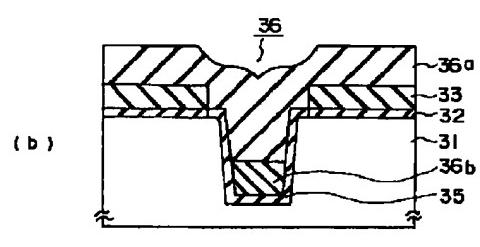
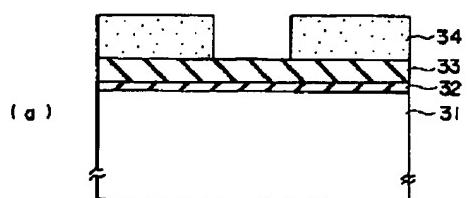
【図11】



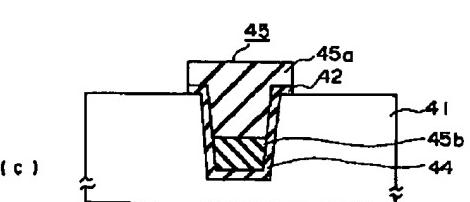
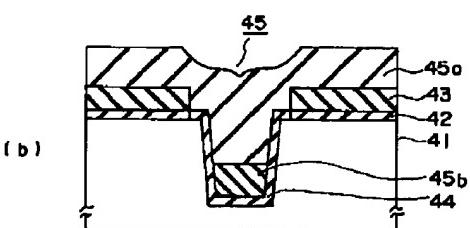
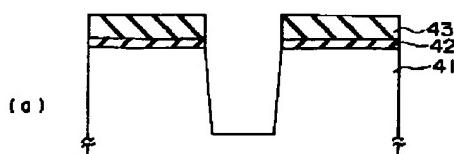
【図13】



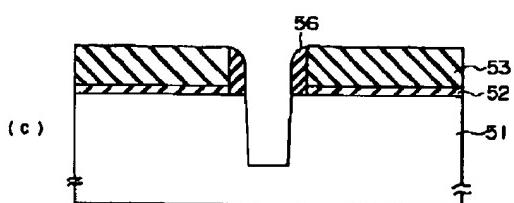
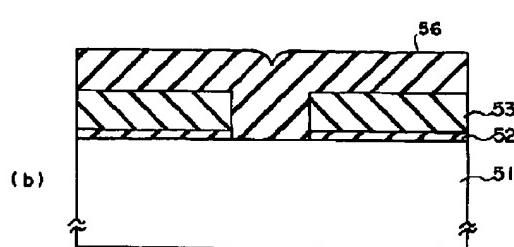
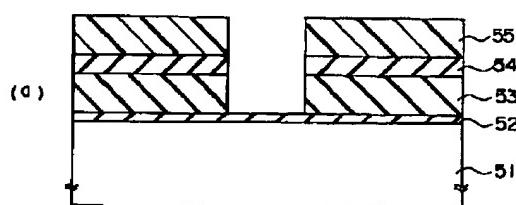
【図6】



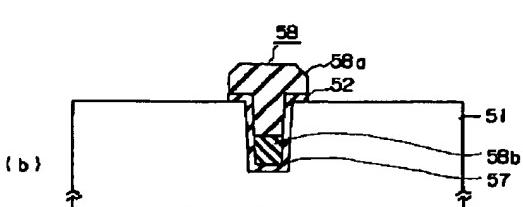
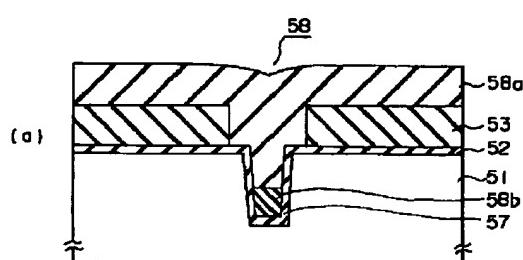
【図7】



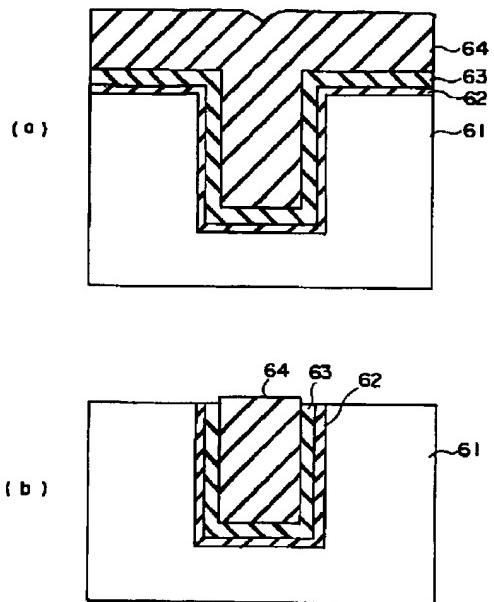
【図8】



【図9】



【図10】



【図12】

